# Informe de Progreso

***Integración de Sistemas Digitales – Bloque III***

Responsable del grupo: Sergio Moreno Suay.

Fase: 1 y 2

1. **Integrantes del grupo**

Indica los nombres y apellidos de los integrantes del grupo.

|  |
| --- |
| 1. Sergio Moreno Suay |
| 1. Laura Rivero Miró |
| 1. Mario Rico Ibáñez |
| 1. Carolina García Martínez |
| 1. Luis Garrido García |
| 6. |

# Tareas realizadas por cada miembro del grupo

Indica las tareas realizadas por cada integrante del grupo. La descripción puede ser concisa pero descriptiva del trabajo realizado por cada alumno/a.

|  |  |
| --- | --- |
| Alumno/a 1 | Sergio Moreno Suay |
| Breve descripción de las tareas en que ha estado involucrado | Fase 1:  -Diseño y verificación básica de la ALU.  -Programar Fibonacci y Bubbles.  Fase 2:  -Diseño del top.  -Aserciones en el top.  -Verificación: General scheme. |

|  |  |
| --- | --- |
| Alumno/a 2 | Laura Rivero Miró |
| Breve descripción de las tareas en que ha estado involucrado: | Fase 1: Diseño y verificación básica ROM y RAM.  Fase 2:  -Diseño del top.  -Ajustes en control y en top para implementar instrucciones jal.  -Verificación básica de instrucciones.  -Aserciones del top. |

|  |  |
| --- | --- |
| Alumno/a 3 | Mario Rico Ibáñez |
| Breve descripción de las tareas en que ha estado involucrado | Fase 1: Diseño y verificación básica ROM y RAM.  Fase 2:  -Verificación: Interfaces, RCSG and General scheme.  -Verificación: Randomización de la ROM. |

|  |  |
| --- | --- |
| Alumno/a 4 | Carolina García Martínez |
| Breve descripción de las tareas en que ha estado involucrado | Fase 1: Diseño y verificación básica del banco de registros.  Fase 2:  -Verificación: RCSG and General scheme.  -Verificación: Randomización de la ROM. |

|  |  |
| --- | --- |
| Alumno/a 5 | Luis Garrido García |
| Breve descripción de las tareas en que ha estado involucrado | Fase 1: Diseño y verificación básica del banco de registros.  Fase 2:  -Verificación: RCSG.  -Verificación: Randomización de la ROM. |

|  |  |
| --- | --- |
| Alumno/a 6 |  |
| Breve descripción de las tareas en que ha estado involucrado |  |

# Objetivos alcanzados/en desarrollo y grado de consecución.

Indica qué objetivos asociados a las tareas de la fase correspondiente han sido alcanzados o están en desarrollo, así como el grado de consecución aproximado (en %) de las tareas propuestas en tu opinión.

Las sub-tareas de diseño de la fase 1 (ALU, banco de registros, ROM y RAM) se han desarrollado con éxito y se ha logrado cumplir con los objetivos establecidos en la tarea.

Las sub-tareas de diseño de la fase 2 (TOP, alu control, control y generador de inmediatos) se han conectado correctamente en el top con la ausencia de la ROM y la RAM que posteriormente serán instanciadas en el testbench. En el diseño de la fase 2 se ha modificado ligeramente el diseño cambiando por ejemplo el uso de la alu op de tal forma que no necesitamos el uso de dicha señal.

**Grado de consecución (%)**: 100 %

**Sub-Tareas Diseño**

**Tareas realizadas y/o en desarrollo**

Fase 1: Para cada módulo se ha desarrollado un testbench básico en el cual se comprueba su funcionalidad, así como su correcto funcionamiento. Estas tareas se han llevado a cabo con éxito.

Fase 2: Se crea un testbench básico donde poder probar conjuntos de instrucciones pequeños cargando un fichero de texto a la ROM con su codificación en hexadecimal, el objetivo de dicha prueba es comprobar la correcta conexión de los diferentes elementos que componen el top más la RAM y la ROM. De esta forma, podemos ir probando distintos formatos de instrucciones.

Además, se han añadido aserciones en el top.

En cuanto a la verificación automatizada, se ha aleatorizado la ROM y se ha realizado una verificación exhaustiva mediante el uso de interfaces, covergroups etc

**Grado de consecución (%)**: 100 %

**Sub-Tareas Verificación:**

**Tareas realizadas y/o en desarrollo**

## Fecha: 10/12/2022

Firmas de los integrantes del grupo:

Sergio Moreno Suay

Laura Rivero Miró

Mario Rico Ibáñez

Carolina García Martínez

Luis Garrido García